

1/5/10

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03574782 **Image available**
SEMICONDUCTOR MEMORY

PUB. NO.: 03-237682 [JP 3237682 A]
PUBLISHED: October 23, 1991 (19911023)
INVENTOR(s): TSUJIMOTO AKIRA
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 02-033022 [JP 9033022]
FILED: February 13, 1990 (19900213)
INTL CLASS: [5] G11C-011/409
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)
JOURNAL: Section: P, Section No. 1301, Vol. 16, No. 24, Pg. 20,
 January 21, 1992 (19920121)

ABSTRACT

PURPOSE: To speed up access by setting the driving power source of a sense amplifier to be an external power voltage and the driving power source of a control signal in a transfer gate to be the output signal of a power voltage conversion circuit, which is an internal power voltage.

CONSTITUTION: A clock generation circuit for array control 6 having the generation circuit for transfer gate control signal .phi.TG 6a and the generation circuit for word line control signal .phi.WL, and a reference potential generation circuit 7 are driven with the output (Vint) of the power voltage conversion circuit 8 as a pseudo power source. The external power voltage (Vext) 1 drives a peripheral circuit 3, an output circuit 4 and a sense amplifier 5a. Then, the external power voltage Vext is used instead of the internal power voltage Vint as the power source for driving sense amplifier, and the power voltage conversion circuit Vint drives the word line control signal .phi.WL and a transfer gate activating signal .phi.TG with the power source of the clock generation circuit for array control 6 as the output Vint of the power voltage conversion circuit. Thus, the impression of a high voltage for a memory cell part is suppressed while high speed differential amplification is realized.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-237682

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月23日

G 11 C 11/409

8323-5B

G 11 C 11/34

3 5 3 C

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 平2-33022

⑰ 出 願 平2(1990)2月13日

⑱ 発 明 者 辻 本 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 桑井 清一

明 細 書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

(1) センスアンプとメモリセルアレイの接続制御を行うトランスファゲートを有する半導体メモリにおいて、前記センスアンプの駆動電源を外部電源電圧とし、前記トランスファゲートの制御信号の駆動電源を内部電源電圧たる電源電圧変換回路出力信号とすることを特徴とする半導体メモリ。

(2) 前記トランスファゲートの制御信号を出力するトランスファゲート制御信号発生回路が、当該トランスファゲートの制御信号を前記電源電圧変換回路の出力電位以上に昇圧する手段を有することを特徴とする特許請求の範囲第1項記載の半導体メモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体メモリに関し、特に内部電源電圧を出力する電源電圧変換回路を有する半導体メモリに関する。

〔従来の技術〕

半導体メモリは微細加工技術の進歩と共に、集積度の向上が成されてきた。特にダイナミック型ランダムアクセスメモリ(以下、DRAMと称す)では、メモリセルの構造が簡単であるため、高集積化が可能であり、現在16MビットDRAMの開発が行われている。16MビットDRAMでは、ホットキャリアによるトランジスタ特性の劣化、消費電力の増加を防ぐため、内部電源電圧を降下する方式が提案されている。

第2図は電源電圧変換回路を用いたDRAMの従来例を説明するための構成図である。この例の場合、電源電圧変換回路8の出力(V_{int})を疑似電源としてセンスアンプ5a、リファレンス電位発生回路7を駆動し、周辺回路3、出力回路4、トランスファゲート制御信号発生回路6aおよび

ワード線制御信号発生回路6bを有するアレイ制御用クロック発生回路6はそれぞれ外部電源電圧(Vext)1により駆動される。第3図は従来例のアレイ回路5の回路図である。アレイ回路5はセンスアンプ部5a、トランスファゲート部5b、メモリセルアレイ部5cより構成される。尚、同図中のセンスアンプ部5aにおいて、11, 14, 15はPチャネル型MOSトランジスタ(以下、MOSPTと称す)、13, 16, 17はNチャネル型MOSトランジスタ(以下、MOSNTと称す)、12はインバータ、BL', \overline{BL} はビット線であり、また、同図中のメモリセルアレイ部5cにおいて、20, 22, 23, 24はMOSNT、21はキャパシタ、BL, \overline{BL} はビット線であり、また、同図中のトランスファゲート部5bにおいて、18, 19はビット線BLとBL', \overline{BL} と \overline{BL} との電気的接続を司るMOSNTである。第4図は理想的な電源電圧変換回路8の出力特性を示し、電源電圧変換回路出力Vintの最大値Vmaxは外部電源電圧の増大においても通常

3. 3V~4. 0V程度の値に設定される。第5図は従来例の動作を説明するためのタイミングチャートである。

以下、従来例の動作説明を簡単に行う。RAS(ローアドレスストロブ)の活性化後、ビット線バランス信号φPがリセットされる。その後、RAS活性化時にラッチされた行アドレスにより選択されたワード線の制御信号φVLが活性化し、φVLをゲート入力とする複数のメモリセルが選択される。いま、MOSNT20と、容量21で構成されたメモリセルが“1”レベル(MOSNT20のソース電位がビット線BLよりも高い状態)を保持しているとする、ワード線制御信号φVLの活性化によりMOSNT20が導通状態となり、メモリセル容量CSとビット線容量CBの容量分割により決定される電位

$$\Delta V = \frac{CS}{CB + CS} (V_x - V_R)$$

だけビット線BLおよびBL'のレベルが上昇す

る。ここで、Vxはメモリセルの初期電位であり、VRはビット線の初期レベルである。尚、通常VRは1/2Vint程度に設定される。そして、ビット線にメモリセル情報が伝達された後、センスアンプ活性化信号φaが活性化し、センスアンプ5aが電源電圧変換回路出力Vintおよび外部接地電圧VSSの印加により駆動されると同時に、トランスファゲート制御信号φTGがリセットされる。この制御信号φTGのリセットによりMOSNT18, 19が非導通状態となるため、ビット線BLとBL'および \overline{BL} と \overline{BL} とは電気的に切り離される。そして、上記センスアンプ活性化信号φaの活性化後のT1の後に、センスアンプ5aによる差動増幅が完了し、ビット線BL'は内部電圧Vint、 \overline{BL} は接地電位に達し、BL, \overline{BL} はそれぞれVR+ΔV, VRレベルを保つ。その後、RASリセットにより、トランスファゲート制御信号φTGが活性化してMOSNT18, 19が導通状態となり、ビット線BLとBL'および \overline{BL} と \overline{BL} がトランスファゲート5bを介して再び接続さ

れる。これによりビット線BL'および \overline{BL} が持つリフレッシュデータがワード線制御信号φVLがリセットするまでの内部遅延により決定されるある一定時間内にメモリセルに書き込まれる。

【発明が解決しようとする課題】

上述した従来の半導体メモリは、第4図に示したように外部電源電圧Vextより低レベルに設定される電源電圧変換回路の出力Vintを擬似電源としてセンスアンプを駆動しているため、差動増幅時間t1が増加し、アクセスの高速化が困難であると言う欠点がある。

また、このような従来の構成では、メモリを支障なく動作させるためには、電流能力および周波数応答に優れた電源電圧変換回路を必要とすると言う欠点がある。

【課題を解決するための手段】

本願の第1の発明に係る半導体メモリは、センスアンプとメモリセルアレイの接続制御を行うト

ランスファゲート有する半導体メモリにおいて、前記センスアンプの駆動電源を外部電源電圧とし、前記ランスファゲートの制御信号の駆動電源を内部電源電圧たる電源電圧変換回路出力信号とすることを特徴とする。

また、本願の第2の発明に係る半導体メモリは、上記の発明における、前記ランスファゲートの制御信号を出力するランスファゲート制御信号発生回路が、当該ランスファゲートの制御信号を前記電源電圧変換回路の出力電位以上に昇圧する手段を有することを特徴とする。

[発明の従来技術に対する相違点]

上述した従来の半導体メモリに対し、本発明はランスファゲート制御信号の発生をするアレイ制御用クロック発生回路の駆動には内部電源電圧たる電源電圧変換回路出力(V_{int})を使用し、センスアンプの駆動には外部電源電圧(V_{ext})を用いるという相違点を有する。

ミングチャートである。動作シーケンスは従来例と同様であるので、ここでは従来例との相違点について説明を行う。RASが活性化された後、ビット線バランス信号φPがリセットされ、ワード線制御信号φWLが活性化される。ここに、ワード線制御信号φWLは内部電源電圧V_{int}以上(βV_{int} : $\beta > 1$)にブーストされ、この信号φWLをゲート入力とする複数のメモリセルを選択する。内部電源電圧(V_{int})レベルを保っている。RAS活性化により制御信号φTGが接地レベル(V_{SS})にリセットされると、MOSNT18、19が非導通となってメモリセル5cとセンスアンプ5aが電気的に切り離される。

ここで、本実施例では、センスアンプ5aの駆動は外部電源電圧V_{ext}で行われるため、従来例に較べて差動増幅が高速に行われる。すなわち、本実施例の差動増幅時間t₂は従来のt₁より短い(t₂ < t₁)。そして、センスアンプ5aによる差動増幅完了後、センスアンプ5a側のビット線B_L、B_L'はそれぞれ外部電源電圧V_{ext}レベル、

[実施例]

第1図は本発明の一実施例の構成図である。尚、従来例と同一部分には同一符号を付して重複する説明は省略する。本実施例の場合、電源電圧変換回路8の出力(V_{int})を擬似電源としてランスファゲート制御信号φTGの発生回路6aおよびワード線制御信号φWLの発生回路を有するアレイ制御用クロック発生回路6とリファレンス電位発生回路7を駆動している。また、外部電源電圧(V_{ext})1により周辺回路3、出力回路4、センスアンプ5aを駆動している。第6図に本実施例のアレイ回路5の回路図を示す。構成上の従来例との相違点はセンスアンプ駆動用電源として内部電源電圧V_{int}に代えて外部電源電圧V_{ext}を用いていることである。また、アレイ制御用クロック発生回路6の電源を電源電圧変換回路出力V_{int}としたことから、ワード線制御信号φWL、ランスファゲート活性化信号φTGは電源電圧変換回路V_{int}により駆動される。

第7図は本実施例の動作を説明するためのタイ

接地V_{SS}レベルとなり、メモリセル5c側のビット線B_L、B_L'は従来例と同様にそれぞれVR+ΔV、VRレベルを保つ。そして、RASリセット時、ランスファゲート制御信号φTGが活性化すると、ランスファゲート5bを介してセンスアンプ5aとメモリセル5cが電気的に接続される。この時、制御信号φTGは電源電圧変換回路出力(V_{int})を擬似電源として駆動される。ここで、ランスファゲート制御信号φTGのレベルは、ビット線の速やかな充電を支援なく達成するため、ランスファゲート制御信号発生回路6aに備えられたブースト回路により内部電源電圧V_{int}以上の所定レベル($\alpha \cdot V_{int}$: $\alpha > 1$)に持ち上げられる。すなわち、φTGレベルにはセルトランジスタのホットキャリアによる特性劣化などを防ぐため、φTGのブースト期間t₃内にビット線B_Lのレベルが信頼性上の許容電位を超えない程度(V_{int}を許容電位に設定している場合はV_{int}を超えない程度)で、且つ、ビット線B_Lの充電が許容電位まで速やかに充電できるようなレベルに設定される。

第8図は本発明の他の一実施例の構成図である。本実施例においてはワード線制御信号 ϕ_{WL} の駆動電源を外部電源電圧 V_{ext} としている。この場合においてもトランスファゲート制御信号 ϕ_{TG} は内部電源電圧 V_{int} で駆動されるため、メモリセル部5cには V_{int} 以上の電圧が印加されることはない。また、本実施例において、 $V_{ext}=5V$ の時、 $V_{int}=3.3V$ に設定することにより、前記実施例と異なってワード線の制御信号 ϕ_{WL} のブーストを行う必要がなくなるので、前記実施例より電源電圧変換回路8は電流能力が更に低いものでも良いという利点がある。

〔発明の効果〕

以上説明したように本発明は、センスアンプとメモリセルとの接続制御を行うトランスファゲートの制御信号 ϕ_{TG} を内部電源電圧たる電源電圧変換回路の出力で、センスアンプを外部電源電圧でそれぞれ駆動することにより、メモリセル部への高電圧印加を抑制しながら、高速な差動増幅が達

成できるという効果がある。また、電源電圧変換回路の電流供給能力も抑制でき、製造コストの低減などを図ることができるという効果がある

4. 図面の簡単な説明

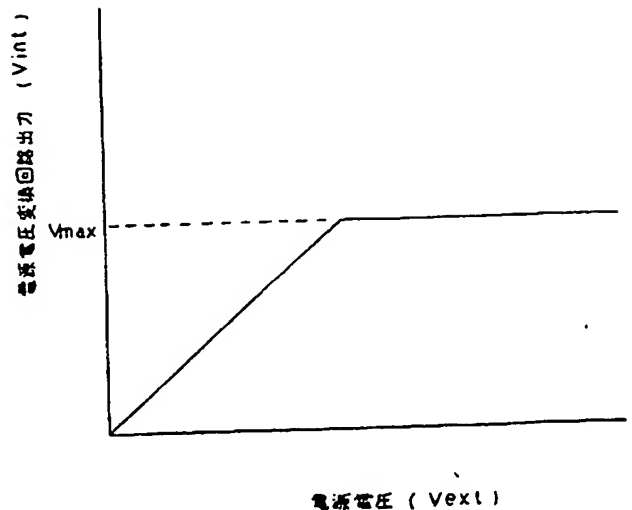
第1図は本発明の一実施例に係る半導体メモリの構成図、第2図は従来例に係る半導体メモリの構成図、第3図は従来例のフレイ回路の回路図、第4図は電源電圧変換回路の出力特性を示すグラフ、第5図は従来例の動作説明のためのタイミングチャート、第6図は本発明の一実施例に係るフレイ回路の回路図、第7図は本発明の一実施例の動作説明のためのタイミングチャート、第8図は本発明の他の一実施例に係る半導体メモリの構成図である。

- 1 外部電源、
- 5a センスアンプ、
- 5b トランスファゲート、
- 5c メモリセルアレイ、

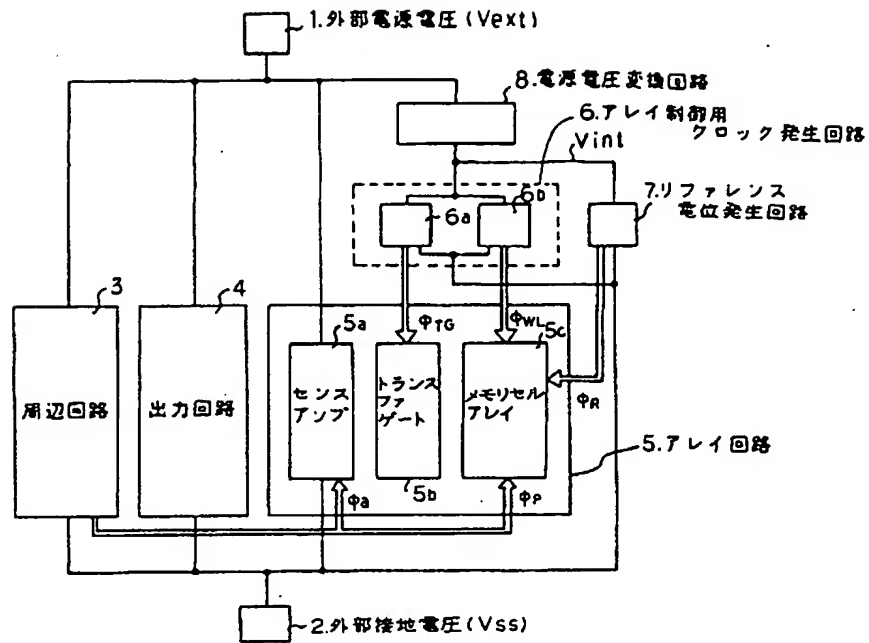
- 6a トランスファゲート制御信号発生回路、
- 8 電源電圧変換回路、
- ϕ_{TG} トランスファゲート制御信号、
- V_{ext} 外部電源電圧、
- V_{int} 内部電源電圧。

特許出願人 日本電気株式会社

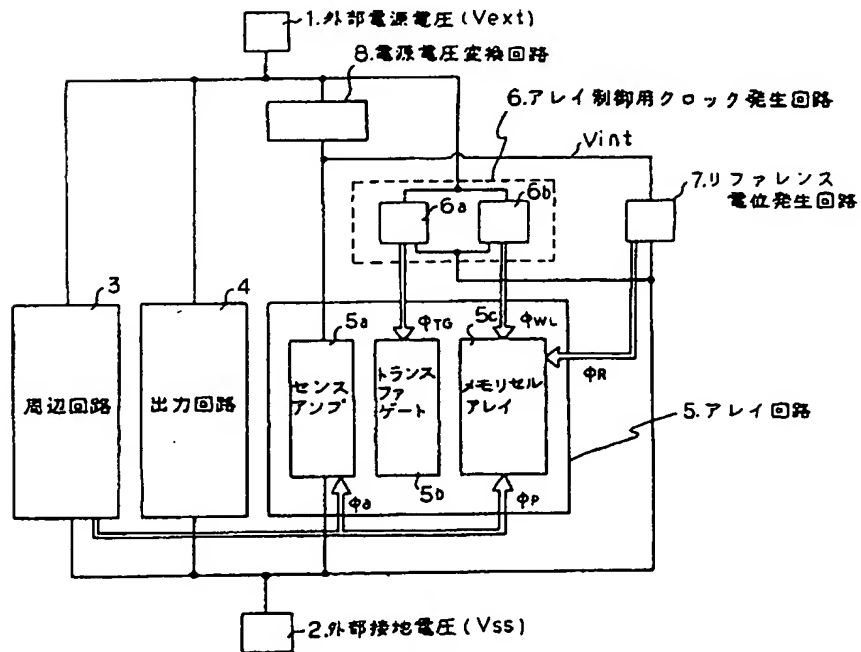
代理人 弁理士 桑 井 清 一



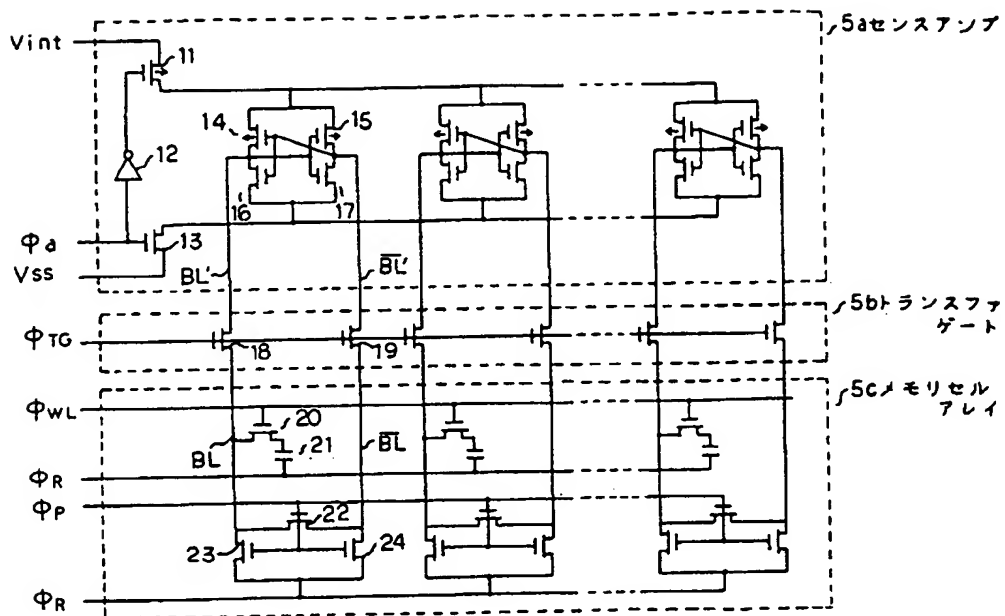
第4図



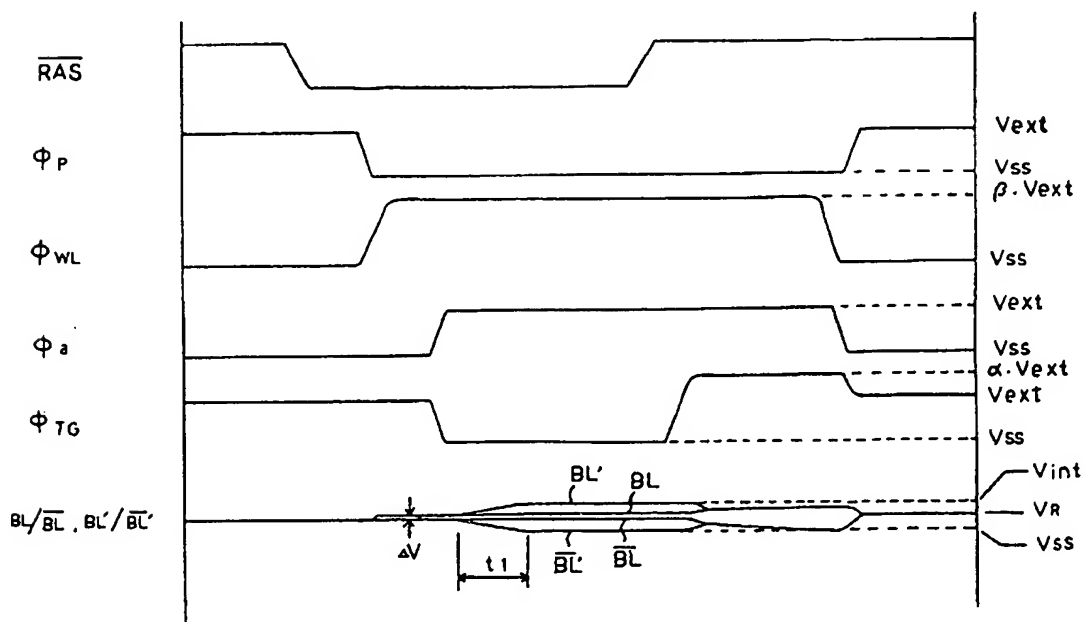
第 1 図



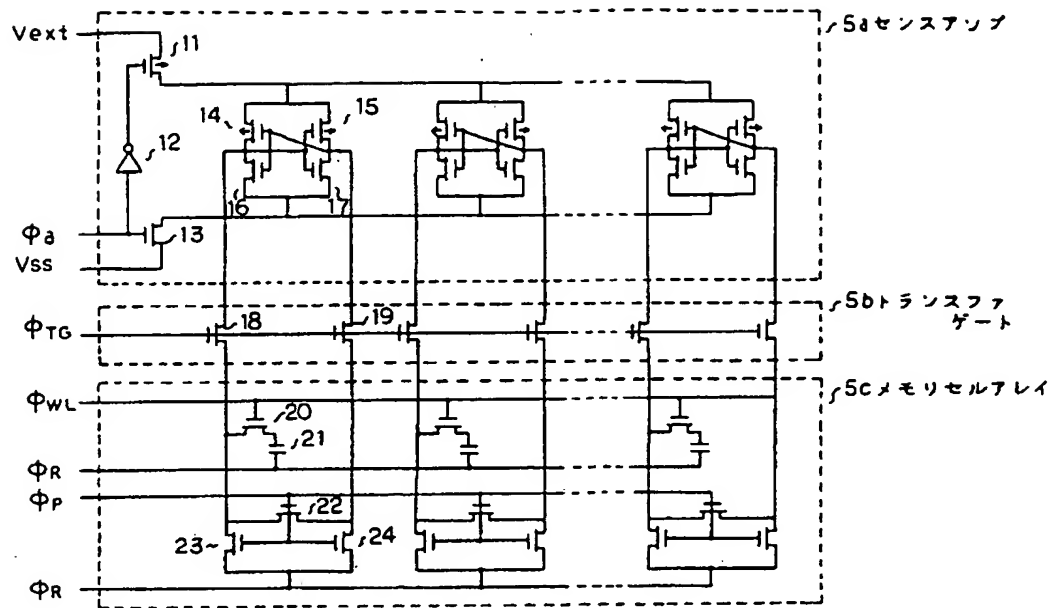
第 2 図



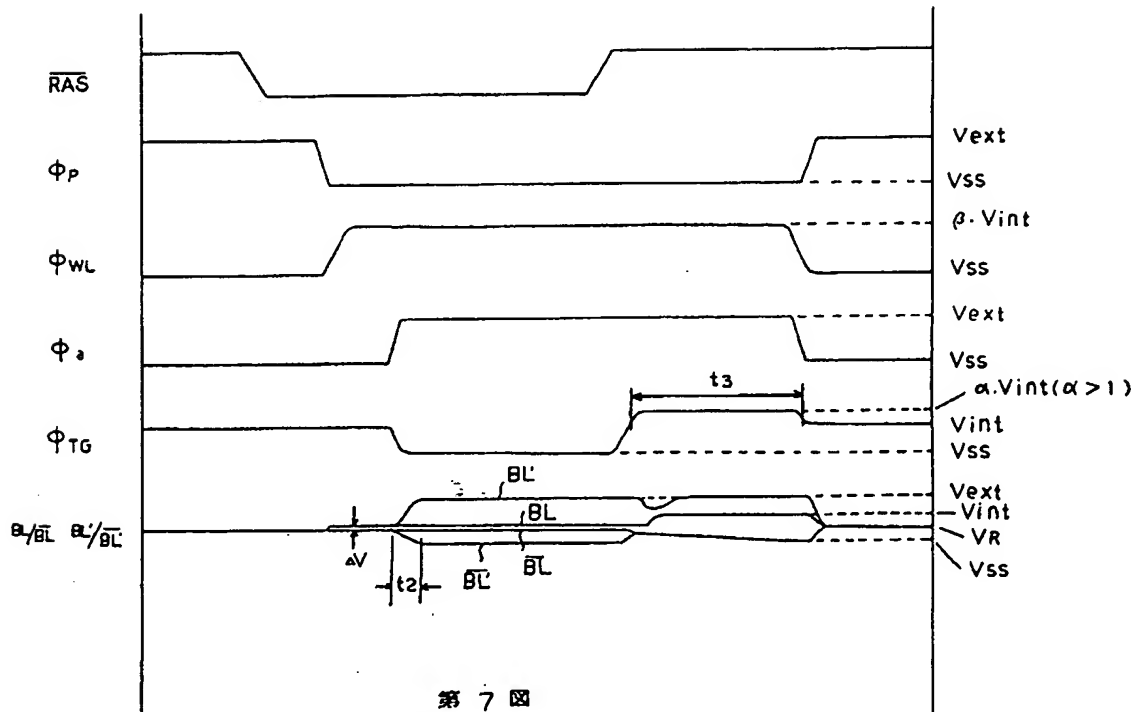
第 3 図



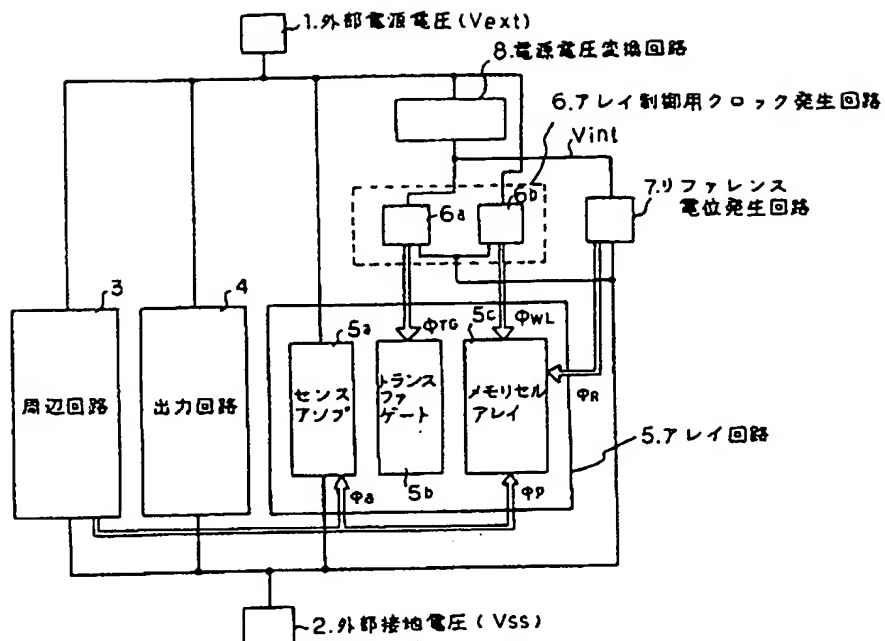
第 5 図



第 6 図



第 7 図



第 8 図